

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-113580

(43)Date of publication of application : 25.04.1990

(51)Int.Cl.

H01L 29/784

G02F 1/136

H01L 27/12

(21)Application number : 63-266529

(71)Applicant : NEC CORP

(22)Date of filing : 21.10.1988

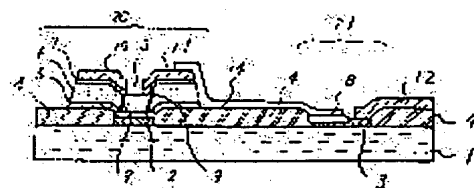
(72)Inventor : KAJIWARA YUJI

(54) THIN FILM CIRCUIT

(57)Abstract:

PURPOSE: To enable a thin film circuit in high reliability and simple structure to be constituted easily by a method wherein the first conductor layer is patterned while a gate electrode of a TFT element and a lower electrode of TFC element are anodized.

CONSTITUTION: The first conductor layer is filmed on a transparent glass substrate 1 and then anodized to form an isolation-pattern of a gate electrode 2 and a lower layer electrode 3 while all the parts excluding the electrode materials are oxidized to form insulating layers 4. Next, any needless parts are removed to form a thin film transistor(TFT) part 20 while a dielectric layer 8 is further formed by anodizing on the lower layer electrode 3 in a thin film condenser(TFC) element 21. Finally, a source electrode 11 and a terminal electrode 12 are provided while a transparent electrode 14 is provided to be patterned and a part of the electrode 14 is formed into an upper layer electrode of the TFC element 21 to be connected to the source electrode 11. Through these procedures, a thin film circuit easy to be formed is stably constituted without developing any defects at all.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-113580

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月25日

H 01 L 29/784
G 02 F 1/136
H 01 L 27/12

5 0 0

A

7370-2H
7514-5F
8624-5F

H 01 L 29/78 3 1 1 G

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 薄膜回路

⑯ 特 願 昭63-266529

⑰ 出 願 昭63(1988)10月21日

⑱ 発 明 者 梶 原 勇 次 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜回路

2. 特許請求の範囲

絶縁性透明基板上に形成された複数の薄膜トランジスタ素子と複数の薄膜コンデンサ素子とが隣接して配置されてなる薄膜回路に於いて、前記薄膜トランジスタ素子のゲート電極と前記薄膜コンデンサ素子の下層電極とは陽極酸化可能な弁金属で構成されてパターン化され該ゲート電極と該下層電極上に設置された前記薄膜トランジスタ素子のゲート絶縁層および前記コンデンサ素子の誘電体膜は前記ゲート電極および前記下層電極を陽極酸化して形成した酸化層を含んで形成されていることを特徴とする薄膜回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜回路に関し、特に薄膜トランジスタ素子部および透明電極部、薄膜コンデンサ素子部とが絶縁性透明基板上に構成された薄膜回路に関する。

〔従来の技術〕

アモルファスシリコン(以下a-Si)を用いた薄膜トランジスタ(以下、TFTという)回路は、ガラス基板上に低温でかつ大面積に形成できることから密着形イメージセンサのデバイス基材や、大面積、大容量液晶表示パネルなど低価格大判化能動デバイスに広く実用されつつある。従来のa-Si TFTを用いた薄膜回路は第3図に示すように透明ガラス基板1上に第1の導体層例えばクロム膜を成膜パターン化してゲート電極2を形成し、さらに第1の透明電極層17を例えばITOを成膜パターン化して形成する。次に、SiO₂膜18をスパッタによって成膜して、ゲート電極2および第1の透明電極層17上を覆う。引き続きアモルファスSiNx5、i型a-Si層6、n⁺型a-Si層7の半導体層などを

プラズマCVDによって積層後、半導体層の不要部の除去とコンタクトホール16の加工を行った後第2の導体層を成膜パターン化してドレイン電極10、ソース電極11を構成する。TFT部20はn⁺型a-Si層7を除去してチャネル部13を形成し最後に第2の透明電極層19を形成してパターン化し、TFT部20と薄膜コンデンサ(以下、TFCという)部21を構成する。TFC部21は、SiO₂膜18とSiNx膜5との2重の絶縁膜を第1および第2の透明電極層17、19によって挟み構成され、第2の透明電極層19によって、TFT部20とTFC部21とを接続している。

〔発明が解決しようとする課題〕

上述した従来のa-SiTFTを用いた薄膜回路はTFT部20は第1の導体層をゲート電極2として使用し、第2の導体層をドレイン10、ソース電極11としている。またTFC部21は第1の透明電極17を下層電極として、端子電極12の一部へコンタクトホール18を介して接続

を設置した部分を画素電極として使用する場合、光の透過率を低下させることになり、表示性能に影響が出る。このような構成では製作性が問題で高精度な製法の条件設定と、較重な環境整備などが必要でコスト的に不利な欠点を有していた。

本発明の目的は、多数個のa-SiTFT素子とTFC素子とを無欠陥で安定に構成でき、絶縁膜厚が比較的薄くとも良く、製作し易い薄膜回路を得ることにある。

〔課題を解決するための手段〕

本発明の薄膜回路は、絶縁性透明基板上に複数個の薄膜トランジスタ素子と薄膜コンデンサ素子とが隣接して配置されてなる薄膜回路において、薄膜トランジスタ素子のゲート電極と薄膜コンデンサ素子の下層電極とは絶縁性透明基板上に陽極酸化可能な弁金属で構成されてパターン化され、これらゲート電極と下層電極上に設置された前記薄膜トランジスタ素子のゲート絶縁層および前記コンデンサ素子の誘電体膜は前記ゲート電極および前記下層電極を陽極酸化して形成した酸化層を

され、誘電体層となるSiO₂膜18、SiNx膜5の絶縁層を第2の透明電極19で挟んで構成されている。ところが、ゲート電極2としての第1の導体層の厚みは通常数1000Åで、断面角部が急峻であるため、その上に積層した絶縁層にはクラックが発生し易く、欠陥部9が出易い。また、一般にスパッタ膜は多孔性の柱状構造を示し、かなり厚みを増やさないと絶縁層として使用できず、基板面汚染によるピンホールなども出来易い。そのために、ゲート電極2とドレイン10あるいはソース電極11間およびTFC部21の第1の透明電極17と第2の透明電極19間の短絡や絶縁不良の事故が発生し易い欠点があった。

また、これらの事故を減少させるために、SiO₂膜18とSiNx膜5の2重絶縁層の構成として厚みを増加させているが、TFC部21の所望の静電容量値を得るには対向電極寸法を大きくしなければならず、逆に面積増のために欠陥部9を増やすことになる場合がある。とくに液晶表示パネルのように、第1および第2の透明電極17、19

含んで形成されていると共に、前記薄膜トランジスタ素子と前記コンデンサ素子とは透明電極膜をパターン化して接続していることを特徴としている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の概略断面図である。

透明ガラス基板1上にタンタル(Ta)による第1の導体層を例えば500Å成膜し、陽極酸化してゲート電極2と下層電極3を分離パターン化する。電極材の無い部分はすべて酸化され、透明な酸化タンタル(Ta₂O₅)絶縁層4が形成されている。その絶縁層4の厚みは元の第1の導体層の厚みより増加し1000Åの厚みになるが、その段差部は逆台形にはなりにくい。次にプラズマCVD法でアモルファスSiNx5、i型a-Si6、n⁺型a-Si7を積層しアモルファス半導体層を形成し、不要部分を除去して薄膜トランジスタ(TFT)素子部20を作る。薄膜コンデンサ(TFC)素子部20の下層電極3上にはさらに

陽極酸化によって誘電体層 8 を形成する。この時、ゲート電極 2 にも正の電位を与えておき、アモルファス SiN_x 5, i 型 $\alpha\text{-Si}$ 6, n^+ 型 $\alpha\text{-Si}$ 層 7 に出来た欠陥部 9 を充填するように絶縁層を形成する工程も同時に行う。基板 1 上のすべての TFT 素子部 20 に欠陥部 9 が発生されるのは限らないが、唯 1 個の素子欠陥を許されないデバイスには歩留りを向上させるのに有効である。最後に TFT 素子部 20 のドレイン電極 10, ソース電極 11 および TFC 素子部 21 の端子電極 12 を設置チャネル部 13 の n^+ 型 $\alpha\text{-Si}$ 層を除去した後、ITO による透明電極層 14 を設置パターン化し、その一部を TFC 素子部 21 の上層電極とし、ソース電極 11 と接続している。

このような構造の薄膜回路は、TFC 素子部 20 の誘電体層 8 は陽極酸化によって正確な膜厚制御を可能にする。例えば、Ta の場合、くえん酸水溶液やほう酸アンモニウムとエチレングリコールとの混合液での生成酸化膜は、印加電圧に正比例し、約 1.5 \AA/V の割合で生成される。その酸化

ントラストの高い鮮明な表示性能が得られるようになる。また TFC 素子部 21 の面積も小さくできるので高解像度のパネルを実現できるようになる。

第 2 図は本発明の他の実施例の概略断面図である。

透明ガラス基板 1 上に第 1 の導体層を成膜して TFT 素子部 20 のゲート電極 2 および TFC 素子部 31 の下層電極 3 を陽極酸化してパターン化する工程、さらにアモルファス SiN_x 層 5, i 型 $\alpha\text{-Si}$ 層 6, n^+ 型 $\alpha\text{-Si}$ 層 7 のアモルファス半導体層を積層する工程までは第 1 図の実施例と同等である。次に、アモルファス半導体層の不要部を除去しアモルファス SiN_x 層 5 は残しておく。次に、ゲート電極 2 および下層電極 3 に正の電界を与えて陽極酸化工程を実施する。この工程によって、アモルファス半導体層中の欠陥部 9 および TFC 素子部 21 のピンホール部 15 に陽極酸化層が充填される。アモルファス SiN_x 層 5 に TFC 素子部 21 のコンタクトホール 16

膜の比誘電率も 2.2 と大きい。10 pF のコンデンサを得るには印加電圧を 50 V にすれば $82 \mu\text{m}$ 角の寸法で良く、極めて小さい電極面積で作ることができる。

また、従来 TFT 素子部のゲート絶縁膜は、ゲート電極とドレイン電極、ソース電極との短絡事故を少なくするために、TFC 素子部の誘電体層も同様に層間短絡を少なくするために、 SiO_2 膜と SiN_x 膜の積層膜としていたが、本発明によれば SiN_x 膜一層で済む。しかも万一欠陥部 9 があっても陽極酸化層によって修正されるので薄くて良い。したがって製造コストが削減され、透明電極部 14 の ITO 層も一層だけの設置であるため、光透過率の向上が計れる。

一方、最下層のゲート電極 2 や下層電極 3 のエッジ部分は逆台形の断面構造にはなりにくいために層間の欠陥発生も極めて減少される。

このような構造の薄膜回路を例えば液晶表示パネルに使用する場合には、透明導体層 14 を画素電極に使用すれば、光透過率が大きいために、コ

を設けた後、TFT 素子部 20 のソース電極 11, ドレイン電極 10, 透明電極層 14 などの設置は第 1 図の実施例と同様に行う。

このような構造の薄膜回路は TFC 素子部 21 の静電容量を決定する誘電体層としては TFT 素子部 20 のゲート絶縁膜に用いたアモルファス SiN_x 膜 5 を流用している。したがって静電容量値はこの誘電体層の厚みで決まり、陽極酸化時の印加電圧を特に制御する必要が無い。誘電体層中のピンホール部 15 およびゲート絶縁膜中の欠陥部 9 は後工程陽極酸化によって容易に絶縁層が形成される。2 回の陽極酸化工程で済むので製作性が簡単化され、高信頼の薄膜回路が得られる。

〔発明の効果〕

以上説明したように、本発明は、透明絶縁性基板上に形成した第 1 の導体層のパターン化と、TFT 素子のゲート電極および TFC 素子の下層電極とを陽極酸化することによって、構造が簡単で高信頼性の薄膜回路が容易に得られる効果がある。これを例えば液晶表示パネルのスイッチ素

子、表示画素電極、蓄積容量素子、密着形イメージセンサのセンサ素子、スイッチ素子、蓄積容量素子など、基板上に数万個以上の薄膜素子からなる薄膜回路に用いられ、無欠陥で安定した高性能動作デバイスが得られる。

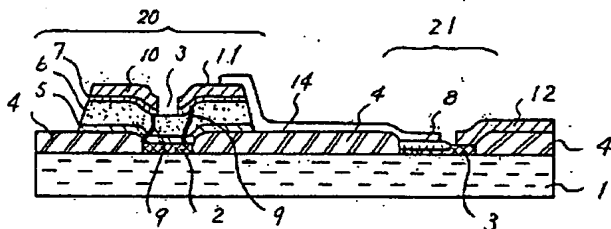
尚本発明の実施例において、第1の導体層はタングステン材を使用したか、これに限ることなくアルミニウム、チタニウム、ニオブウムなど不透明で腐蝕酸化できる金属材料であれば良く、コンデンサ素子の極性も必要に応じて逆の構造にしても良い。

4. 図面の簡単な説明

第1図および第2図はそれぞれ本発明の実施例を示す概略断面図、第3図は従来の薄膜回路を示す概略断面図である。

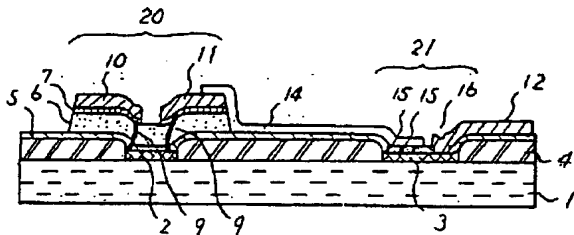
1……透明ガラス基板、2……ゲート電極、3……下層電極、4……絶縁層、5……アモルファスSiNx、6……i型a-Si、7……n⁺型a-Si、8……誘電体層、9……欠陥部、10……ドレイン電極、11……ソース電極、12……端子電極、13……チャネル部、14……透明電極層、15……ピンホール部、16……コンタクトホール、17……第1の透明電極層、18……SiO₂膜、19……第2の透明電極層、20……TFT部、21……TFC部。

- | | | |
|-------------------------|------------|----------|
| 1: 透明ガラス基板 | 8: 誘電体層 | 20: TFT部 |
| 2: ゲート電極 | 9: 欠陥部 | 21: TFC部 |
| 3: 下層電極 | 10: ドレイン電極 | |
| 4: 絶縁層 | 11: ソース電極 | |
| 5: アモルファスSiNx | 12: 端子電極 | |
| 6: i型a-Si | 13: チャネル部 | |
| 7: n ⁺ 型a-Si | 14: 透明電極層 | |



第1図

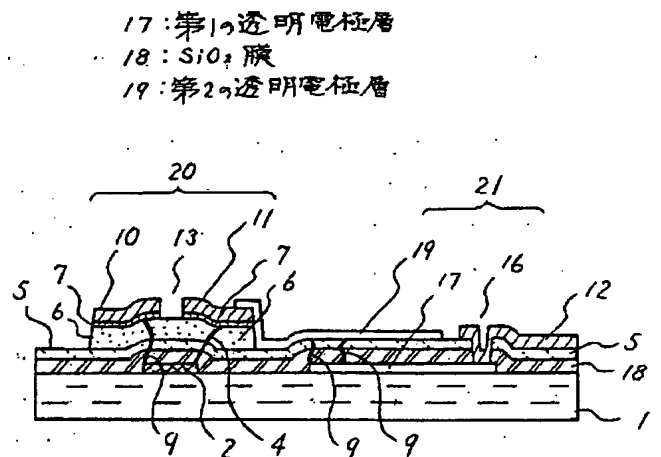
15: ピンホール部
16: コンタクトホール



第2図

……ドレイン電極、11……ソース電極、12……端子電極、13……チャネル部、14……透明電極層、15……ピンホール部、16……コンタクトホール、17……第1の透明電極層、18……SiO₂膜、19……第2の透明電極層、20……TFT部、21……TFC部。

代理人 弁理士 内 原 晋



第3図